

PAT-NO: JP410104315A

DOCUMENT-IDENTIFIER: JP 10104315 A

TITLE: DEVICE AND METHOD FOR INSPECTING  
SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: April 24, 1998

INVENTOR-INFORMATION:

NAME

IIDA, MASAKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP08257180

APPL-DATE: September 27, 1996

INT-CL (IPC): G01R031/28, G06F011/22

ABSTRACT:

PROBLEM TO BE SOLVED: To decrease test-program forming manhours and control manhours by controlling the contents of a main test program by the identification codes described in a secondary test program in correspondence with each process, and collecting the inspection contents over the entire processes into one test program.

SOLUTION: In a main test program, the applying signal waveform conditions, inspection conditions and the like for a semiconductor integrated circuit under

test are described as the describing part. Identification codes are imparted to the respective lead parts of the describing part. In a secondary test program, the identification codes are described in correspondence with the contents of the inspection. When the wafer inspection is performed, the main test program stored in a test program memory (B) 113 is disassembled for every identification code unit, and the program is sequentially executed. The main test program, which is common for the entire process, and the secondary program in correspondence with only the identification code in conformity with the inspection contents are described, and the programs are made to be unified for every process. Thus, the total amount of the test programs for one product is decreased.

COPYRIGHT: (C)1998, JPO

(19)日本国特許庁(J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-104315

(43)公開日 平成10年(1998)4月24日

(51)Int.Cl.<sup>4</sup>  
G 0 1 R 31/28  
G 0 6 F 11/22  
識別記号  
3 1 0

F I  
G 0 1 R 31/28 H  
G 0 6 F 11/22 3 1 0 A

審査請求 有 請求項の数7 OL (全 8 頁)

(21)出願番号 特願平8-257180  
(22)出願日 平成8年(1996)9月27日

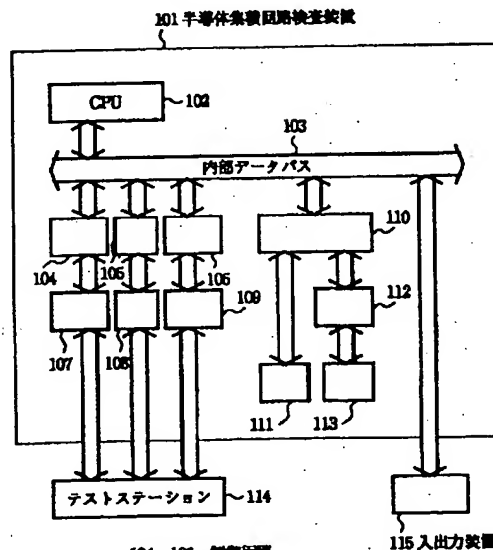
(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72)発明者 飯田 正樹  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路検査装置およびその検査方法

(57)【要約】

【課題】テストプログラムの作成を容易にし、且つ、検査運用効率を改善することのできる半導体集積回路検査装置およびその検査方法を実現する。

【解決手段】半導体集積回路検査装置101は、被試験対象の半導体集積回路を装着するテストステーション114、および当該試験に関連する検査用のプログラムの入力および検査結果の良否判定データ等の出力を行う入出力装置115に対応して、内部データバス103を含み、CPU102と、制御回路104、105および106と、テストパターン発生器107と、良否判定回路108と、テスト電圧発生器109と、プログラム実行制御手段110と、テストプログラム・メモリ(A)111と、プログラム分析手段112と、テストプログラム・メモリ(B)113とを備えて構成される。



104-106...制御回路  
107...テストパターン発生器  
108...良否判定回路  
109...テスト電圧発生器  
110...プログラム実行制御手段  
111...テストプログラム・メモリ(A)  
112...プログラム分析手段  
113...テストプログラム・メモリ(B)

## 【特許請求の範囲】

【請求項1】 被試験対象の半導体集積回路に対応して、主テストプログラムおよび少なくとも1つ以上の検査工程における検査用副テストプログラムを格納するテストプログラム・メモリと、

前記テストプログラム・メモリより前記主テストプログラムを読み出して分析し、当該主テストプログラムに記述されている少なくとも1つ以上の識別符号に準拠して、当該識別符号単位の少なくとも1つ以上の識別符号記述部を生成して出力するプログラム分析手段と、

前記テストプログラム・メモリより前記検査用副テストプログラムを読み出して、当該検査用副テストプログラムに記述されている識別符号列の順序に基づいて、前記プログラム分析手段より分析出力される少なくとも1つ以上の識別符号記述部の実行手順を制御するプログラム実行制御手段と、

前記プログラム実行制御手段による制御作用ならびに所定の検査実行手段を介して、前記被試験対象の半導体集積回路を実行する情報処理手段と、

を少なくとも備えて構成されることを特徴とする半導体集積回路検査装置。

【請求項2】 被試験対象の半導体集積回路の試験開始に際して、予め外部の入出力装置を介して入力される少なくとも1つ以上の識別符号を認識・解析して、当該解析結果を出力する入力情報解析手段と、

前記被試験対象の半導体集積回路に対応する主テストプログラムおよび少なくとも1つ以上の検査工程における検査用副テストプログラムを格納するテストプログラム・メモリと、

前記テストプログラム・メモリより前記主テストプログラムを読み出して分析し、当該主テストプログラムに記述されている少なくとも1つ以上の識別符号に準拠して、当該識別符号単位の少なくとも1つ以上の識別符号記述部を生成して出力するプログラム分析手段と、

前記入力情報解析手段より入力される前記1つ以上の識別符号の解析結果を参照して、前記テストプログラム・メモリより前記検査用副テストプログラムを読み出し、当該識別符号の解析結果による識別符号列の順序に基づいて、前記プログラム分析手段より分析出力される少なくとも1つ以上の識別符号記述部の実行手順を制御するプログラム実行制御手段と、

前記プログラム実行制御手段による制御作用ならびに内蔵される所定の検査実行手段を介して、前記被試験対象の半導体集積回路を実行する情報処理手段と、を少なくとも備えて構成されることを特徴とする半導体集積回路検査装置。

【請求項3】 前記テストプログラム・メモリが、前記主テストプログラムを格納する第1のテストプログラム・メモリと、

前記検査用副テストプログラムを格納する第2のテスト

プログラム・メモリとを備えて構成される請求項1または請求項2記載の半導体集積回路検査装置。

【請求項4】 前記検査用副テストプログラムが、少なくとも、ウェハー検査用副テストプログラムと、製品検査用副テストプログラムと、出荷検査用副テストプログラムとを含んで構成される請求項1または請求項2記載の半導体集積回路検査装置。

【請求項5】 前記主テストプログラムが、複数の識別符号を含み、当該複数の識別符号のそれぞれに対応して、被試験対象の半導体集積回路に対する端子設定条件、印加信号波形条件、印加電圧条件および少なくとも1つ以上の検査条件等が記述されて構成される請求項1または請求項2記載の半導体集積回路検査装置。

【請求項6】 前記検査実行手段が、被試験対象の半導体集積回路に対して、検査用の信号波形を生成して出力するテストパターン発生器ならびに検査用の印加電圧を発生して出力するテスト電圧発生器と、

前記情報処理手段の指示を受けて、前記テストパターン発生器およびテスト電圧発生器の動作を制御する制御回路と、

前記被試験対象の半導体集積回路の検査結果の良否を判定する良否判定回路、ならびに前記情報処理手段の指示を受けて当該良否判定回路の動作を制御する制御回路と、

を備えて構成される請求項1または請求項2記載の半導体集積回路検査装置。

【請求項7】 複数品種の半導体集積回路のそれぞれについて、複数の製造工程ごとに異なる検査を実施する半導体集積回路の検査方法において、

前記複数品種の半導体集積回路の各品種ごとに設定されている複数の製造工程に共通して使用される主テストプログラムと、当該製造工程ごとに設定される複数の半導体集積回路の品種において共通に使用される副テストプログラムとを用いて検査を行うことを特徴とする半導体集積回路の検査方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路検査装置およびその検査方法に関する。

【0002】

【従来の技術】従来の半導体集積回路検査装置の1例（以下従来例と云う）の構成が図4に示される。本従来例は、特開昭56-147445号公報に開示されている例であり、図4に示されるように、当該半導体集積回路検査装置401は、被試験対象の半導体集積回路を装着するテストステーション414、および当該試験に関連する検査用のプログラムの入力および検査結果の良否判定データ等の出力を行う入出力装置415に対応して、内部データバス403を含み、CPU402と、制御回路404、405および406と、テストパターン

発生器407と、良否判定回路408と、テスト電圧発生器409と、テストプログラム・メモリ411とを備えて構成されており、CPU401は、内部データバス403を介して、制御回路404、405および406、テストプログラム・メモリ411および外部の入出力装置415に接続され、また、制御回路404、405および406は、それぞれテストボタン発生器407、良否判定回路408およびテスト電圧発生器409に接続されて、これらのテストボタン発生器407、良否判定回路408およびテスト電圧発生器409を経由して、外部のテストステーション414に接続されている。

【0003】図4において、本従来例の半導体集積回路検査装置401により半導体集積回路を試験する場合には、まず被試験対象の半導体集積回路の検査用のプログラム（以下、テストプログラムと云う）が、入出力装置415より、内部データバス403を介してテストプログラム・メモリ411に読み込まれる。このテストプログラムには、例えば、半導体集積回路検査装置401の端子状態を設定する条件、被試験対象の半導体集積回路に印加する信号波形および電圧条件、またはその他の検査条件等がシーケンシャルに記述されている。被試験対象の半導体集積回路をテストステーション414に装着して測定が開始されると、CPU402により、テストプログラム・メモリ411からは上記のテストプログラムが読み出され、当該テストプログラムが冒頭より逐次実行されてゆく。その際には、テストボタン発生器407およびテスト電圧発生器409より、テストプログラムの内容、即ち被試験対象の半導体集積回路に印加する試験用の信号波形条件および電圧条件等に従って、所望の試験条件が被試験対象の半導体集積回路に与えられて、当該半導体集積回路の試験が行われる。この試験の結果に対する良否の判定は、良否判定回路408において、前記テストプログラムに記述されている良否判定条件に基づいて行われ、内部データバス403を介して入出力装置415より外部に出力される。

#### 【0004】

【発明が解決しようとする課題】上述した従来の半導体集積回路検査装置においては、主要な製造工程ごとに独立して実行される検査に対応して、それぞれの工程のテストプログラムが個別に設けられており、従って、1製品に対して複数本のテストプログラムが必要とされている。しかも、これらのテストプログラムは、1本当たり数百乃至数千行の記述内容によって成立っており、当該テストプログラムの作成に当たっては、多大の工数を必要とし、そのための管理作業が煩雑化するという欠点がある。

【0005】また、これらのテストプログラムの内容としては、検査項目自体については全工程において殆ど同一内容となつてはいるものの、半導体集積回路の製造工

程によっては、その1部が省略されていることもあり、必ずしも1様ではない。しかも、このテストプログラムの実行運用に際しては、従来の半導体集積回路検査装置の構成上の制約により、テストプログラムに格納されているメモリから逐次命令を読み出して処理するという単純機能を有するのみであり、当該テストプログラム実行時におけるソフトウェア運用上の自由度が少なく、これに起因して、半導体集積回路の検査実行時の運用効率が悪く、特に、近年における半導体集積回路の大規模化に伴ない、半導体集積回路の検査に要する時間が増大して、検査コストが増大するという欠点がある。

【0006】本発明の目的は、当該従来の半導体集積回路検査装置におけるテストプログラムの内容を見直して検査実体の合理化を図り、検査コストを削減して検査効率のよい半導体集積回路検査装置、および対応する半導体集積回路の検査方法を実現することにある。

#### 【0007】

【課題を解決するための手段】第1の発明の半導体集積回路検査装置は、被試験対象の半導体集積回路に対応して、主テストプログラムおよび少なくとも1つ以上の検査工程における検査用副テストプログラムを格納するテストプログラム・メモリと、前記テストプログラム・メモリより前記主テストプログラムを読み出して分析し、当該主テストプログラムに記述されている少なくとも1つ以上の識別符号に準拠して、当該識別符号単位の少なくとも1つ以上の識別符号記述部を生成して出力するプログラム分析手段と、前記テストプログラム・メモリより前記検査用副テストプログラムを読み出して、当該検査用副テストプログラムに記述されている識別符号列の順序に基づいて、前記プログラム分析手段より分析出力される少なくとも1つ以上の識別符号記述部の実行手順を制御するプログラム実行制御手段と、前記プログラム実行制御手段による制御作用ならびに所定の検査実行手段を介して、前記被試験対象の半導体集積回路を実行する情報処理手段と、を少なくとも備えて構成されることを特徴としている。

【0008】また、第2の発明の半導体集積回路検査装置は、被試験対象の半導体集積回路の試験開始に際して、予め外部の入出力装置を介して入力される少なくとも1つ以上の識別符号を認識・解析して、当該解析結果を出力する入力情報解析手段と、前記被試験対象の半導体集積回路に対応する主テストプログラムおよび少なくとも1つ以上の検査工程における検査用副テストプログラムを格納するテストプログラム・メモリと、前記テストプログラム・メモリより前記主テストプログラムを読み出して分析し、当該主テストプログラムに記述されている少なくとも1つ以上の識別符号に準拠して、当該識別符号単位の少なくとも1つ以上の識別符号記述部を生成して出力するプログラム分析手段と、前記入力情報解析手段より入力される前記1つ以上の識別符号の解析結

果を参照して、前記テストプログラム・メモリより前記検査用副テストプログラムを読み出し、当該識別符号の解析結果による識別符号列の順序に基づいて、前記プログラム分析手段より分析出力される少なくとも1つ以上の識別符号記述部の実行手順を制御するプログラム実行制御手段と、前記プログラム実行制御手段による制御作用ならびに内蔵される所定の検査実行手段を介して、前記被試験対象の半導体集積回路を実行する情報処理手段と、を少なくとも備えて構成されることを特徴としている。

【0009】なお、前記第1および第2の発明において、前記テストプログラム・メモリは、少なくとも、前記主テストプログラムを格納する第1のテストプログラム・メモリと、前記検査用副テストプログラムを格納する第2のテストプログラム・メモリとを備えて構成してもよく、また、前記検査用副テストプログラムは、ウェハー検査用副テストプログラムと、製品検査用副テストプログラムと、出荷検査用副テストプログラムとを含んで構成してもよい。また、前記主テストプログラムには、複数の識別符号を含み、当該複数の識別符号のそれぞれに対応して、被試験対象の半導体集積回路に対する端子設定条件、印加信号波形条件、印加電圧条件および少なくとも1つ以上の検査条件等を記述して構成するようにしてもよく、前記検査実行手段は、被試験対象の半導体集積回路に対して、検査用の信号波形を生成して出力するテストボタン発生器ならびに検査用の印加電圧を発生して出力するテスト電圧発生器と、前記情報処理手段の指示を受けて、前記テストボタン発生器およびテスト電圧発生器の動作を制御する制御回路と、前記被試験対象の半導体集積回路の検査結果の良否を判定する良否判定回路、ならびに前記情報処理手段の指示を受けて当該良否判定回路の動作を制御する制御回路と、を備えて構成してもよい。

【0010】更に、第3の発明の半導体集積回路の検査方法は、複数の品種の半導体集積回路のそれぞれについて、複数の製造工程ごとに異なる検査を実施する半導体集積回路の検査方法において、前記複数の品種の半導体集積回路の各品種ごとに設定されている複数の製造工程に共通して使用される主テストプログラムと、当該製造工程ごとに設定される複数の半導体集積回路の品種において共通に使用される副テストプログラムとを用いて検査を行うことを特徴としている。

【0011】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0012】図1は第1の発明の1実施形態を示すブロック図である。図1に示されるように、本実施形態の半導体集積回路検査装置101は、被試験対象の半導体集積回路を装着するテストステーション114、および当該試験に関連する検査用のプログラムの入力および検査

結果の良否判定データ等の出力を行う入出力装置115に対応して、内部データバス103を含み、CPU102と、制御回路104、105および106と、テストパターン発生器107と、良否判定回路108と、テスト電圧発生器109と、プログラム実行制御手段110と、テストプログラム・メモリ(A)111と、プログラム分析手段112と、テストプログラム・メモリ(B)113とを備えて構成されている。CPU101は、内部データバス103を介して、制御回路104、105および106、プログラム実行制御手段110および外部の入出力装置115に接続されており、制御回路104、105および106は、それぞれテストパターン発生器107、良否判定回路108およびテスト電圧発生器109に接続されて、これらのテストパターン発生器107、良否判定回路108およびテスト電圧発生器109を介して、外部のテストステーション114に接続されている。また、プログラム実行制御手段110は、テストプログラム・メモリ(A)111に接続されるとともに、プログラム分析手段112を介してテストプログラム・メモリ(B)113に接続されている。

【0013】次に、本実施形態の動作について説明する。なお、1例として、テストプログラムが、図2(a)、(b)、(c)および(d)に示されるように、主テストプログラム200(図2(a)参照)、ウェハー検査用副テストプログラム(以下、ウェハー用副テストプログラムと云う)206(図2(b)参照)、製品検査用副テストプログラム(以下、製品用副テストプログラムと云う)207(図2(c)参照)および出荷検査用副テストプログラム(以下、出荷用副テストプログラムと云う)208(図2(d)参照)により構成されているものとする。主テストプログラム200には、図2に示されるように、記述部として、被試験対象の半導体集積回路に対する印加信号波形条件201、印加電圧条件202、または製品規格を基に規定される各検査工程における検査良否判定値を含む検査条件(1)203、検査条件(2)204および検査条件(3)205等が記述されており、これらの記述部の先頭箇所には、それぞれ識別符号(1)、識別符号(2)、識別符号(3)、識別符号(4)および識別符号(5)が付与されている。また、各副テストプログラムには、その検査内容に応じて、それぞれ主テストプログラム200に記述されている識別符号が適宜記述されているが、図2(b)、(c)および(d)には、1例として、ウェハー用副テストプログラム206においては、識別符号(1)、識別符号(2)および識別符号(3)が記述されており、製品用副テストプログラム207には、識別符号(1)、識別符号(2)および識別符号(4)が記述され、出荷用副テストプログラム208には、識別符号(1)、識別符号(2)および識別符号(5)が記述されている。

【0014】本実施形態においては、被試験対象の半導体集積回路について、①ウェハ状態において行う検査、②製品化された状態において行う検査および③製品出荷時に行う最終検査を含む3工程による検査が行われるものとする。始めに、ウェハの状態における検査を行う際には、まず被試験対象の半導体集積回路の主テストプログラム200が、入出力装置115および内部データバス103を介してテストプログラム・メモリ(B)113に読み込まれる。また、ウェハ検査用テストプログラムであるウェハ用副テストプログラム206は、同じく入出力装置115および内部データバス103を介してテストプログラム・メモリ(A)111に読み込まれる。この状態において、制御回路104、105および106、テストパタン発生器107、テスト電圧発生器109および良否判定回路108の動作を介して、上記のテストプログラムがCPU102により実行され、テストステーション114に装着されているウェハ上の被試験対象の半導体集積回路に対するウェハ検査が行われる。その際には、テストプログラム・メモリ(B)113に格納されている主テストプログラム200は、プログラム分析手段112により、当該主テストプログラム200に記述されている識別符号(1)、(2)、(3)、(4)および(5)に従って、識別符号単位ごとに、識別符号(1)記述部、識別符号(2)記述部、識別符号(3)記述部、識別符号(4)記述部および識別符号(5)記述部という5つの記述部に分解される。また、テストプログラム・メモリ(A)111に格納されているウェハ用副テストプログラム206は、プログラム実行制御手段110により読み出されて、当該副プログラムに記述されている識別符号列に従って、識別符号(1)記述部→識別符号(2)記述部→識別符号(3)記述部の順に、逐次プログラムが実行される。

【0015】次に、上記の動作内容について具体的に説明する。今、前記識別符号を、任意の文字列をコロン(:)で囲んで表わすものとし、図2(a)に示される主テストプログラム200内の各識別符号に対して、下記のように、具体的なテストプログラムが、5行の記述により構成されているものとする。

#### 【0016】

識別符号(1) : A: PINI=CMP  
 識別符号(2) : B: VDD=5V  
 識別符号(3) : C: LMT=3.5V  
 識別符号(4) : D: LMT=4.0V  
 識別符号(5) : E: LMT=4.5V

また、副テストプログラムの場合には、例えばウェハ用副テストプログラム206については、図2(b)に示されるウェハ用副テストプログラム206に内の各識別符号に対して、下記のように、具体的なテストプログラムが、3行の記述により構成されている。

#### 【0017】

識別符号(1) : A:  
 識別符号(2) : B:  
 識別符号(3) : C:

プログラムの実行に当っては、まず、テストプログラム・メモリ(B)113に格納されている主テストプログラム200が、識別符号(1)の「: A: PINI=CMP」から順番に、逐次プログラム分析手段112に読み込まれる。そして、当該読み込まれた内容が逐次分析されて、「: (コロン)」で囲まれている文字列、この例においては「: A: PINI=CMP」が、一つの単位として認識される。このような作業が各識別符号に対して順次行われて、その結果として、当該主テストプログラム200は、「: A:」、「: B:」、「: C:」、「: D:」および「: E:」という、5つの識別符号を持つテストプログラム単位に分解される。そして、このプログラム分析手段112による分析結果は、プログラム実行制御手段110に伝達される。また、同様に、テストプログラム・メモリ(A)111に格納されているウェハ用副テストプログラム206も、プログラム実行制御手段110に読み出されて、読み出された識別符号列、識別符号(1)、(2)および(3)に従って、「: A:」、「: B:」および「: C:」の順番通りに、先に識別符号単位に分解されていたテストプログラムが組み立てられる。そして、そのプログラムの内容が、内部データバス103を介してCPU102に取り込まれて、逐次実行に移されてゆく。このテストプログラムの内容に応じて、被試験対象の半導体集積回路に対する信号および電圧が印加されて、所定の試験が行われる過程については、従来例の場合と同様である。また、当該半導体集積回路の試験による良否の判定についても、主テストプログラム200に含まれる検査条件(1)203に対応する「: C: LMT=3.5V」に基づいて、良否判定回路108により行われる。

【0018】このような手順により実行される半導体集積回路の検査については、次工程にて行う製品化された状態において行う半導体集積回路の検査においても同様である。この場合には、主テストプログラム200が、入出力装置115および内部データバス103を介してテストプログラム・メモリ(B)113に読み込まれ、製品検査用テストプログラム207は、同じく入出力装置115および内部データバス103を介してテストプログラム・メモリ(A)111に読み込まれる。この状態において、制御回路104、105および106、テストパタン発生器107、テスト電圧発生器109および良否判定回路108の動作を介して、上記のテストプログラムがCPU102により実行され、テストステーション114に装着されているウェハ上の被試験対象の半導体集積回路に対する製品検査が行われる。その際には、テストプログラム・メモリ(B)113に格納さ



れている主テストプログラム200は、プログラム分析手段112により、当該主テストプログラム200内の識別符号(1)、(2)、(3)、(4)および(5)に従って、識別符号単位ごとに、識別符号(1)記述部、識別符号(2)記述部、識別符号(3)記述部、識別符号(4)記述部および識別符号(5)記述部という5つの記述部に分解される。また、テストプログラム・メモリ(A)111に格納されている製品用副テストプログラム207は、プログラム実行制御手段110により読み出されて、当該副プログラムに記述されている識別符号列に従って、識別符号(1)記述部→識別符号(2)記述部→識別符号(4)記述部の順に、逐次プログラムが実行される。

【0019】そして、最終工程の製品出荷直前における半導体集積回路の検査についても全く同様である。主テストプログラム200および出荷用副テストプログラム208を用いることにより、これらのテストプログラムに記述されている識別符号に従って、識別符号(1)記述部→識別符号(2)記述部→識別符号(5)記述部の順に逐次実行される。この細部については、前述のウェハー検査および製品検査の場合と同様であり、重複を避けるために説明は省略する。

【0020】以上、説明したように、全工程に共通の主テストプログラム200と、検査内容に即して、当該主テストプログラム200に記述されている識別符号のみを、対応する副テストプログラムに記述し、これらのプログラムを各工程ごとに一本化することにより、1製品のテストプログラムの総量が大幅に削減される。即ち、従来、各工程において重視されている同一の検査内容の記述を省略することが可能となる。これにより、全工程の検査内容を1本のテストプログラムに纏めることができ、各工程の検査は、識別符号の羅列によって規定され実行されるために、従来、各工程において重複されている部分を考慮することが不要となり、テストプログラムの作成および評価時における時間が大幅に短縮化される。また、各工程の検査内容も容易に把握することができるようになるので、テストプログラムの管理が簡単となり、検査内容の見直しおよび修正等に要する工数も低減されて、半導体集積回路の検査の合理化を容易に行うことが可能となる。

【0021】次に、第2の発明の1実施形態について説明する。図3は、当該実施形態を示すブロック図である。図3に示されるように、本実施形態の半導体集積回路検査装置301は、被試験対象の半導体集積回路を装着するテストステーション314、および当該試験に関連する検査用のプログラムの入力および検査結果の良否判定データ等の出力を行う入出力装置315に対応して、内部データバス303を含み、CPU302と、制御回路304、305および306と、テストパターン発生器307と、良否判定回路308と、テスト電圧発

生器309と、プログラム実行制御手段310と、テストプログラム・メモリ(A)311と、プログラム分析手段312と、テストプログラム・メモリ(B)313と、入力情報解析手段316とを備えて構成される。CPU301は、内部データバス303を介して、制御回路304、305および306、プログラム実行制御手段310および外部の入出力装置315に接続されており、制御回路304、305および306は、それぞれテストパターン発生器307、良否判定回路308およびテスト電圧発生器309に接続されて、これらのテストパターン発生器307、良否判定回路308およびテスト電圧発生器309を介して、外部のテストステーション314に接続されている。また、プログラム実行制御手段310は、テストプログラム・メモリ(A)311に接続されるとともに、プログラム分析手段312を介してテストプログラム・メモリ(B)313に接続され、更に新しく付加されている入力情報解析手段316に接続されている。なお、第1の実施形態との相点は、本実施形態には、上記の入力情報解析手段316が新たに含まれていることである。

【0022】次に、本実施形態の動作について説明する。なお、テストプログラムの例としては、第1の発明の1実施形態の場合と同様に、図2(a)、(b)、(c)および(d)に示されるように、主テストプログラム200、ウェハー用副テストプログラム206、製品用副テストプログラム207、および出荷用副テストプログラム208により構成されているものとする。また、被試験対象の半導体集積回路についての試験工程としては、同じく第1の発明の1実施形態の場合と同様に、①ウェハー状態において行う検査、②製品化された状態において行う検査および③製品出荷時に行う最終検査を含む3工程による検査が行われるものとする。

【0023】本実施形態においては、実際にこれらの検査が検査工場などにおいて行われる以前の段階において、まず、その検査に用いられる主テストプログラム200を作成し、その動作を確認して、問題のないことを予め確認するためのテストプログラム評価または単に評価と称する作業が必要である。その際に、第1の発明の1実施形態の場合と同様に、副テストプログラムを複数準備し、そのテストプログラム評価を行うことも可能であるが、実際の評価時においては、テストプログラムの内容を適宜に組み替えたり、その一部分のみの動作確認を行うことがあったりするために、一々副テストプログラムを作成することには煩雑な作業が伴うことになる。本実施形態においては、その煩雑さを回避するために、入出力装置315から、識別符号を直接入力することができるようになっており、そのための手段として、上記の入力情報解析手段316が設けられている。

【0024】入出力装置315より入力される識別符号は入力情報解析手段316に入力されて、その内容が解

10

20

30

40

50



析され、当該解析結果による識別符号はプログラム実行制御手段310に読み込まれる。入出力装置315は、例えば一般的にディスプレイとキーボードから構成されているが、当該キーボードより、識別符号列、例えば「:A;」が入力されると、この識別符号列は入力情報解析手段316に伝達されて、当該入力情報が識別符号列であることが認識される。そして、当該識別符号列は、上述のようにプログラム実行制御手段310に読み込まれる。プログラム実行制御手段310に伝達された識別符号列は、被試験対象の半導体集積回路の検査に

10 対応して、予め、その順番が分析されており、主テストプログラムの該当する識別符号記述部の内容が実行される。例えば、入出力装置315より、識別符号列が、識別符号(1)、識別符号(2)、識別符号(3)の順で入力される場合には、検査の実行時においては、識別符号(1)記述部→識別符号(2)記述部→識別符号(3)記述部という順番で検査が実行される。即ち、本実施形態においては、識別符号を直接入出力装置から入力することにより、テストプログラム評価時に、1組の識別符号記述部(一般に、識別符号(1)記述部、識別符号(2)記述部、識別符号(3)記述部、.....、識別符号(n)記述部)の動作確認等が容易になり、テストプログラム評価作業の自由度が大幅に拡大されるとともに、テストプログラムの内容の把握も容易になり、評価時間を著しく短縮することができるという利点がある。

【0025】なお、上述した第1および第2の発明の実施形態に対応して、第3の発明の半導体集積回路の検査方法においては、通常行われている複数品種の半導体集積回路の複数の製造工程に対応して、各製造工程ごと

30 に、それぞれ異なる検査を行う検査方法において、複数品種ごとに設定される複数の製造工程に対して共通する主テストプログラムと、各製造工程ごとに設定される複数の品種に対して共通する副テストプログラムとを用いて検査を行うことに顕著な特徴がある。この検査方法による効果については既に上述したとおりである。

#### 【0026】

【発明の効果】以上説明したように、本発明は、テストプログラムにおいて、主テストプログラムの内容を、各製造工程に対応する副テストプログラムに記述されてい

40 る識別符号により制御することを可能とすることにより、1製品ごとに対応している個別のテストプログラムの数量を大幅に削減して、製造工程全般に亘る検査内容を1本のテストプログラムにより纏めることが可能となり、これにより、テストプログラム作成工数ならびに管理工数を著しく低減することが可能になるという効果が

ある。

【0027】また、外部の入出力装置から前記識別符号を入力して、前記主テストプログラムに対する記述内容の制御を可能とすることにより、テストプログラム評価作業に対する自由度が大幅に増大され、これにより、テストプログラムの作成および評価に要する時間が大幅に短縮されるとともに、各製造工程における検査内容を把握することが容易になり、且つ、テストプログラムの管理も簡易化されて、半導体集積回路の検査内容の見直しおよび修正に要する工数を削減することも可能となつて、半導体集積回路検査の合理化を実現することができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すブロック図である。

【図2】本発明におけるテストプログラムの構成例を示す図である。

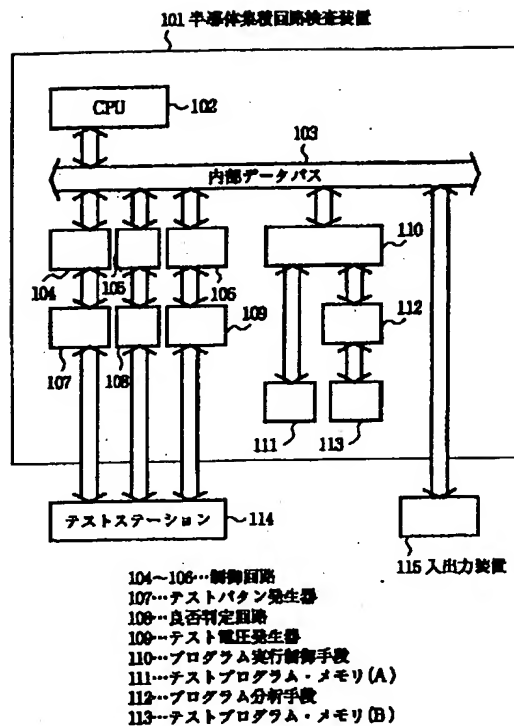
【図3】本発明の第2の実施形態を示すブロック図である。

【図4】従来例を示すブロック図である。

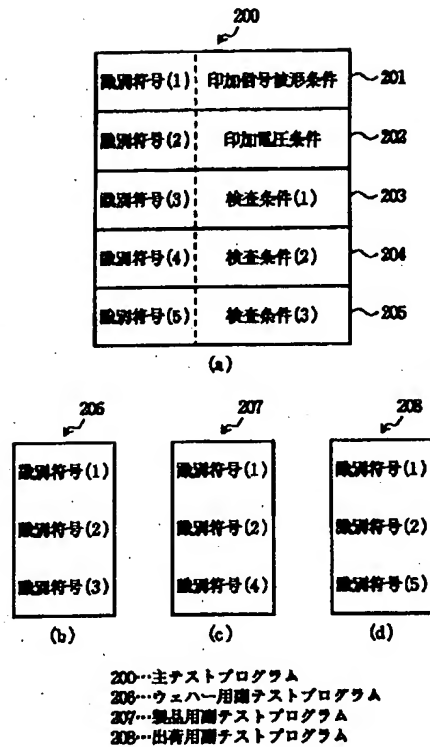
#### 【符号の説明】

101、301、401	半導体集積回路検査装置
102、302、402	CPU
103、303、403	内部データベース
104~106、304~306、404~406	制御回路
107、307、407	テストボタン発生器
108、308、408	良否判定回路
109、309、409	テスト電圧発生器
110、310	プログラム実行制御手段
111、311	テストプログラム・メモリ(A)
112、312	プログラム分析手段
113、313	テストプログラム・メモリ(B)
114、314、414	テストステーション
115、315、415	入出力装置
200	主テストプログラム
201	印加信号波形条件
202	印加電圧条件
203	検査条件(1)
204	検査条件(2)
205	検査条件(3)
206	ウェハー用副テストプログラム
207	製品用副テストプログラム
208	出荷用副テストプログラム
316	入出力情報解析手段
411	テストプログラム・メモリ

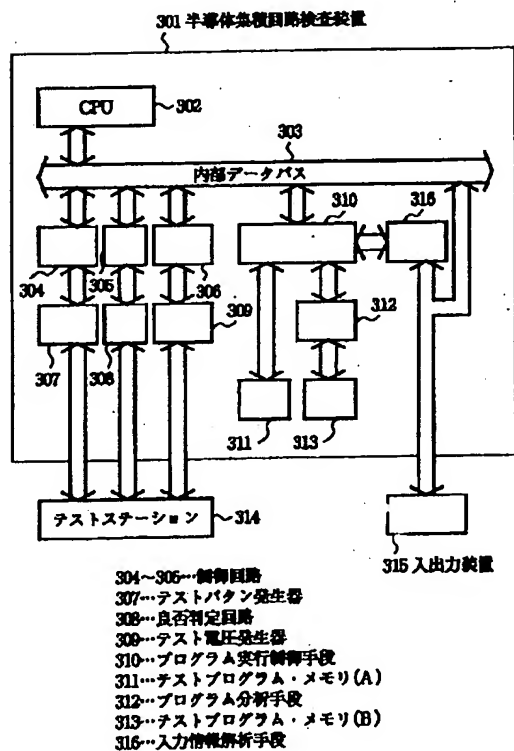
【図1】



【図2】



【図3】



【図4】

